

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001198897 A**

(43) Date of publication of application: **24.07.01**

(51) Int. Cl.

B81B 3/00
H01H 59/00

(21) Application number: **2000314632**

(22) Date of filing: **16.10.00**

(30) Priority: **15.10.99 US 1999 418857**

(71) Applicant: **LUCENT TECHNOL INC**

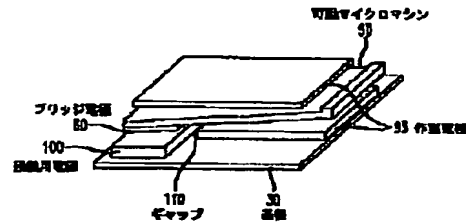
(72) Inventor:
BISHOP DAVID JOHN
BOLLE CHRISTAIN A
KIM JUNG SANG
PARDO FLAVIO

(54) **HYBRID INTEGRATED CIRCUIT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a hybrid integrated circuit having a MEMS relay flip-chip bonded to a CMOS chip.

SOLUTION: The CMOS chip is bonded to a MEMS microrelay to form a rigid electric connection between the chips, whereby highly integral electric transmission through the hybrid integrated circuit can be formed. If a delay of signal propagation between the CMOS chip and the MEMS chip is greatly reduced, the hybrid integrated circuit can be used in high band width applications.



COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-198897

(P2001-198897A)

(43) 公開日 平成13年7月24日 (2001.7.24)

(51) Int.Cl. ⁷	識別記号	F I	ターマコード*(参考)
B 8 1 B 3/00		B 8 1 B 3/00	
H 0 1 H 59/00		H 0 1 H 59/00	

審査請求 未請求 請求項の数10 O L 外国語出願 (全 23 頁)

(21) 出願番号 特願2000-314632(P2000-314632)

(22) 出願日 平成12年10月16日 (2000. 10. 16)

(31) 優先権主張番号 09/418857

(32) 優先日 平成11年10月15日 (1999. 10. 15)

(33) 優先権主張国 米国 (US)

(71) 出願人 59607/259
ルーセント テクノロジーズ インコーポ
レイテッド
Lucent Technologies
Inc.
アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(74) 代理人 100081053
弁理士 三俣 弘文

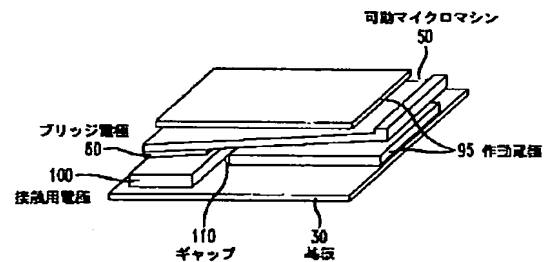
最終頁に続く

(54) 【発明の名称】 混成集積回路

(57) 【要約】

【課題】 CMOSチップにフリップチップ結合されたMEMSリレーを有する混成集積回路を提供すること。

【解決手段】 CMOSチップをMEMSマイクロリレーに結合することにより、頑強な電氣的接続がチップ間に形成され、これにより混成集積回路を通過する高い一体性のある電氣的伝送が形成できる。さらにまた、CMOSチップとMEMSチップ間の信号伝搬遅延を大幅に減少することにより、高い帯域のアプリケーションでも本発明の混成集積回路を用いることができる。



(2) 001-198897 (P2001-198897A)

【特許請求の範囲】

【請求項1】 MEMSリレーを有するMEMSチップと、
前記MEMSチップに接合され一体構造を形成する集積回路チップと、
を有し、
前記MEMSリレーは、その第1位置と第2位置の一方で、前記MEMSリレーへの電氣的接続を行うため、第1位置と第2位置をの間で移動可能な部分を有し、
前記集積回路チップは、前記第1位置と第2位置の一方の位置で、前記MEMSリレーとの電氣的接触を行い、他方の位置で前記MEMSリレーとの電氣的接触を行わないよう、前記集積回路チップ上に形成された素子を有し、
これにより、前記MEMSチップと前記集積回路チップとの間で、前記集積回路チップが、前記MEMSチップに結合された際に、電氣的接続を完了することを特徴とする混成集積回路。

【請求項2】 前記MEMSチップは基板を有し、
前記MEMSリレーは、基板上に形成され静電気力により駆動されるマイクロマシン片持ち梁アームを有し、
前記静電気力により、前記アームが集積回路チップの前記素子との間の接触を行うよう、前記第1位置と第2位置の間で移動させ、
前記アームと前記素子との間の電氣的接続を確立し、これにより前記第1位置と第2位置の一方の位置で集積回路チップとMEMSチップとの間の電氣的接続を完成させることを特徴とする請求項1記載の混成集積回路。

【請求項3】 前記片持ち梁アームは、前記集積回路チップ上の素子との電氣的接触を行うように、前記片持ち梁アームの一端上に具備される、ブリッジ電極を有することを特徴とする請求項2記載の混成集積回路。

【請求項4】 前記集積回路チップ上の素子は、接点用電極を含むことを特徴とする請求項3記載の混成集積回路。

【請求項5】 前記片持ち梁アームを、前記第1位置と第2位置との間で移動させるために、前記片持ち梁アーム上に静電気力を生成するために、前記MEMSデバイスの基板上に作動電極をさらに有することを特徴とする請求項4記載の混成集積回路。

【請求項6】 前記集積回路チップと、前記MEMSチップとの結合は、フリップチップ結合を含むことを特徴とする請求項5記載の混成集積回路。

【請求項7】 前記集積回路チップは、CMOSチップを含むことを特徴とする請求項6記載の混成集積回路。

【請求項8】 前記フリップチップ結合により結合された、CMOS集積回路チップとMEMSチップとの間のギャップの幅を制御するために、前記MEMSチップの基板上に形成された複数のスペーサをさらに有することを特徴とする請求項7記載の混成集積回路。

【請求項9】 前記集積回路チップとMEMSチップとの間に、永久電氣接続を与えるために、前記集積回路チップをMEMSチップに個別に結合する相互接続パッドをさらに有することを特徴とする請求項1記載の混成集積回路。

【請求項10】 前記MEMSチップは、前記集積回路チップの層の上に形成されることを特徴とする請求項1記載の混成集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOSチップに結合されたマイクロ電子機械システム(micro-electromechanical systems: MEMS)チップを有する、混成集積回路に関し、特に、CMOS回路に集積されたMEMSリレーに関する。

【0002】

【従来の技術】機械的リレーは様々な電子システムで重要な役目を担っている。このようなシステムの例は、電話接続用の交換機および電子テスト用の装置を含み、このようなシステムは機械的リレーを用いて範囲選択(range selection)と同等な機能が実現される。機械的リレーに置き換えて半導体材料を用いて電氣的接続および切断を与えるような固体スイッチは、多くのアプリケーションで幅広く用いられている。しかしこのような固体スイッチは、オフ状態の抵抗が低く、限られたバンド幅しか有さない。このような特性が必要なアプリケーションでは、機械的リレーがそのため依然として幅広く用いられている。

【0003】集積回路の電子的機能部品の大部分は、シリコン製のCMOSチップ上に通常配置されるが、機械的リレー機能は、チップ外の別々にパッケージされたリレーを用いて実行される。このような装置ではいくつかの問題点がある。第1の問題点としては、機械的リレーはシステムの主要なハードウェア全体のうち、多くのスペースを占有するような単一の部品である点である。第2に、CMOS回路の集積度が増すにつれて、このようなCMOSチップに接続される機械的リレーの数が増加する点である。CMOSチップ周辺の物理的スペースは限られているために、物理的構成要素を大規模に集積することはより困難となり、機械的リレーのような部品を回路に取り付けることは不可能となるような集積低減ポイントに最終的には到達する。

【0004】第3の点としては、CMOSチップと機械的リレーとの間の接続は、必要な帯域幅を得られるように設計しなければならない点である。大きな帯域のアプリケーションにおいては、接続を注意深く設計した場合でも、リレーとチップとの間の距離が通信の時間遅延を引き起こすことになる。さらにまた、現在広く用いられている従来の機械的リレーは、かさが大きく高価であり、その結果高密度にパッケージした集積回路設計でそれら

(3) 001-198897 (P2001-198897A)

を用いることは困難となっている。

【0005】

【発明が解決しようとする課題】本発明の目的は、集積回路と共に使用され、安価でかつ容易に集積できるようなリレーを提供することである。本発明の課題となるリレーは、チップの回路構成と一体化が可能であり、さらに広い帯域のアプリケーションに適用可能なモノである。

【0006】

【課題を解決するための手段】本発明の物品は、MEMS製造プロセス時に製造されたマイクロマシン機械リレーを含むMEMSチップを含む。このMEMSデバイスは、リレー動作が必要とされる集積回路に結合される。すなわち、ICチップ上で接続が行われる。MEMSチップ上のMEMSリレーの作動により、集積回路チップ内での機械的動作により接続が行われる。本発明の一実施例においてはMEMSチップは、集積回路チップにフリップチップ結合される。ただし他の接合技術も用いることができる。

【0007】本発明の混成回路は、集積回路上に一体に形成されるリレー機能を提供する。集積回路チップはCMOS集積回路チップが好ましいが、本発明によるマイクロマシンリレーを有するMEMSチップに結合することのできる、いかなる種類の集積回路チップも用いることができる。集積回路の集積度が上がるにつれて、集積されるべきリレーの数も増加する。個々の機械的リレーが個別に集積回路に結合される従来の方法は、この点で制約を受けるが、その理由はリレーが結合されるエッジが制限されるからである。従来技術によりリレーの数をさらに増加させることは、電気的接続のファンアウト構造を必要とし、かくして集積回路とリレーとの間の時間遅延が発生する。

【0008】このような集積化に伴うボトルネックは本発明の混成チップには存在しない。本発明のMEMSリレーの実施例を用いることにより、貴重な集積回路の表面積を利用可能維持でき、混成集積回路を形成する効率を増すことができる。さらにまた、集積回路をMEMSチップに結合することにより、MEMSチップ上のリレーと集積回路チップ上の回路との間の電気通信遅延が大幅に減少し、これにより本発明の混成回路を高い帯域のアプリケーションで用いることができる。

【0009】

【発明の実施の形態】本発明の混成リレー回路10を図1、2、3に示す。この混成リレー回路10は、混成リレー回路10が企図した特定の機能を実行する回路素子を含む従来の集積回路チップ20を含む。本発明の一実施例においては、集積回路チップ20はCMOS回路であるが、いかなる種類の集積回路も混成リレー回路10で使用することができる。CMOS回路である集積回路チップ20はさらに基板30を有し、この基板30はシリ

コン製であるが、GaAs、InP等の他の半導体材料製である。

【0010】図1、2、3の実施例においては、MEMSチップ40は、電気的に駆動されるスイッチと適合可能なマイクロリレーを有する。このマイクロリレーは可動マイクロマシン50を有し、この可動マイクロマシン50は、可動マイクロマシン50と共に移動可能で、集積回路チップ20上の素子と電気的に接触する、電気的接点パッド、すなわちブリッジ電極60を有する。さらにまた可動マイクロマシン50は、MEMSチップ40の基板90に契合される一端80を有する片持ち梁アーム70を有する。基板90はシリコン製であるが、他の半導体材料も使用することができる。本発明の一実施例においては、ブリッジ電極60は、そのトップで $0.1\mu\text{m}$ ～ $10\mu\text{m}$ の範囲の厚さを有する。さらに好ましくは、片持ち梁アーム70は、その両側で $1\mu\text{m}$ ～ $1000\mu\text{m}$ の範囲の幅と、 $0.01\mu\text{m}$ ～ $10\mu\text{m}$ の範囲の厚さを有する。理想的なリレー動作においては、MEMSチップ40上のMEMSデバイス用の制御回路および集積回路チップ20上のメイン回路は、電気的に絶縁されており、片持ち梁アーム70は絶縁材料である、二酸化シリコンあるいは窒化シリコンの組成を含む。

【0011】別の構成例として片持ち梁アーム70は、片持ち梁アーム70の上の絶縁層（図示せず）上に堆積された導電帯、あるいはブリッジ電極60を有する。このような実施例においては、絶縁層の厚さは、 $0.01\mu\text{m}$ ～ $100\mu\text{m}$ の範囲である。

【0012】集積回路チップ20はさらに接触用電極100を有し、これにより片持ち梁アーム70とブリッジ電極60が回路機能に必要な電気的接続を達成する。MEMSチップ40と基板30の両方は、それぞれの基板90と基板30上に形成された作動電極95を有し、可動マイクロマシンである片持ち梁アーム70とブリッジ電極60を、作動電極95に電圧をかけることにより生成された静電気力でもって接触用電極100の方に引きつける。かくして電気的接触が接触用電極100とブリッジ電極60との間に形成され、接触用電極100の間に確実な電気的接続が行われ、これにより接触用電極100を介して安定した電気信号が流れる。

【0013】集積回路チップ20は従来のCMOS製造技術を用いて形成され、MEMSチップ40はMEMS製造プロセスを用いて形成される。あるいはMEMSマイクロリレーは、Research Triangle Park, North CarolinaにあるCronos Integrated Microsystems, Inc.社から市販されているものを用いることができる。

【0014】2つのチップを結合する必要があるが、MEMS製造プロセスとCMOS製造プロセスは、一般的に両立せず、独立の接合技術を適用してチップ結合を行う。この独立の接合技術により、図2に示すようにMEMSチップ40が集積回路チップ20に結合される混成

(4) 001-198897 (P2001-198897A)

接合回路が得られる。

【0015】集積回路チップ20とMEMSチップ40を接合するのに、様々な技術が用いられるが、本発明の一実施例においては、これら2つのチップは、感熱製接着剤を2つの接合すべき部品間に形成し、この2つの部品に熱と圧力を加えて接着剤を溶かすような、熱活性技術を用いて行われる。冷却後、接着剤で処理された2枚の基板の間の頑強で固いシールが形成される。

【0016】基板30と基板90をフリップチップ結合すると、集積回路チップ20とMEMSチップ40の間にギャップ110が形成される。このギャップ110、および作動電極95と可動マイクロマシン50の可動部分との間のスペースは、可動マイクロマシン50を駆動する適正な動作電圧を決定する。本発明の一実施例においては、ギャップ110の幅は0.1 μ m～100 μ mの間である。ギャップ110は、既知の厚さのスペーサ120(図3に図示せず)を用いて、フリップチップ結合プロセスの間、正確に制御することができる。このようなスペーサ120は、MEMS製造プロセス、あるいはCMOS製造プロセスあるいはその両方を用いて基板30と基板90のいずれかの側に形成することができる。作動電極95と可動マイクロマシン50の間に電圧を加えると、片持ち梁アーム70は、集積回路チップ20の方向に移動する、すなわち吸引される。かくしてブリッジ電極60と可動マイクロマシン50が集積回路チップ20上の接触用電極100への電気的接続を確立する。

【0017】CMOSチップへの電気的接続がフリップチップ接合プロセスにより確立される限り、MEMSリレーを形成するために、図1、2、3に示した片持ち梁アーム70以外の他の種類の作動メカニズムを用いることができる。このような電気的接続は、スペーサ120を用いて他のMEMSリレーデバイスで達成することもできる。

【0018】特定のMEMSリレーがいかに機能するかとは別に、CMOSチップ上にリレー機能を集積することは、本発明の基本的な態様である。図4は、集積化が行われる本発明の混成回路の一実施例を示す。図4の実施例においては、集積回路チップ20とMEMSチップ40との間の電気的接続は、CMOS製造プロセスの間に行われ、別個のCMOS-MEMS相互接続用パッド130が集積回路チップ20からMEMSチップ40に加えられ、それらの間の電気的接続を確立する。可動マイクロマシン50は、フリップチップ結合により、集積回路チップ20の一部の上に集積化される。リレー機能を行うために必要な接触用電極100と可動マイクロマシン50は、MEMSチップがフリップチップ結合される場所の下領域でCMOSチップ上に形成される。この実施例は、実現が比較的簡単であるが、CMOS-MEMS相互接続用パッド130と接触用電極100と作

動電極95は貴重なCMOSの表面積を占有するという欠点がある。この実施例においては、CMOS処理によるシリコンチップの大部分は、CMOS回路を搭載せず、MEMSリレー用のCMOS-MEMS相互接続用パッド130と適合する接触用電極100、基板90専用であるため、CMOSチップの製造に不必要のコストが発生する。

【0019】リレー機能を集積化する第2のアプローチを、図5に示す。この実施例においては、CMOS-MEMS相互接続用パッド130と接触用電極100と作動電極95とCMOSチップ用の電極を搬送する第3キャリアウェハ140が形成される。集積回路チップ20とMEMSチップ40は、第3キャリアウェハ140上に個別のフリップチップ結合される。第3キャリアウェハ140は、完全なCMOS製造プロセスにより処理されないで、図5の混成回路を形成するコストは比較的安い。

【0020】本発明のMEMSリレー集積化の問題に対する第3のアプローチを図6に示す。この実施例においては、MEMSリレーの電気的接続接、接触用電極100と作動電極95を、集積回路チップ20の最上層150内に形成するために、さらに処理ステップがCMOSプロセスに追加される。MEMSチップ40は、集積回路チップ20の上に直接フリップチップ接合される。この実施例は、CMOSプロセスの変更を必要とするために、リレー機能はCMOSチップの性能全体に対し絶対的に必要な場合にのみ考慮すべきである。

【0021】上記に議論したどの実施例が本発明により用いられても、本発明の混成集積回路は、集積回路チップとMEMSリレーとを安価にかつ強固に一体化できる。本発明は、CMOSの表面積をわずかに使用するだけであり、かつ高い帯域のアプリケーションにも有効に用いることができる。本発明のこのような効果は従来技術では達成できなかった。

【図面の簡単な説明】

【図1】MEMSチップとCMOSチップを結合した際に、MEMSチップ上のリレーとの電気的接続を行う対となる電機部品を有するCMOSチップと、MEMSチップ上に形成されたマイクロマシンリレーの展開図。

【図2】フリップチップ接合技術を用いて、CMOSチップと一体化された図1のMEMSマイクロリレーの展開図。

【図3】図1と図2の組立後の混成回路の断面図。

【図4】CMOSチップの別の部分がMEMSリレーを集積するために用いられる、本発明の混成集積回路の展開図。

【図5】MEMSリレーとCMOSチップとを集積するのに用いられた、相互接続ワイヤリングを有するキャリアウェハを表す、本発明の混成集積回路の展開図。

【図6】CMOS層の上に集積されたMEMSリレーと

(5) 001-198897 (P2001-198897A)

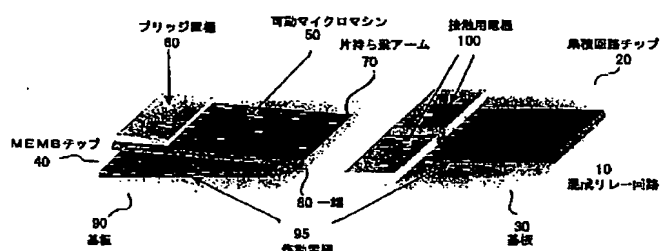
電氣的通信を行う素子を有する、CMOSチップの最上層を表す本発明の混成集積回路の展開図。

【符号の説明】

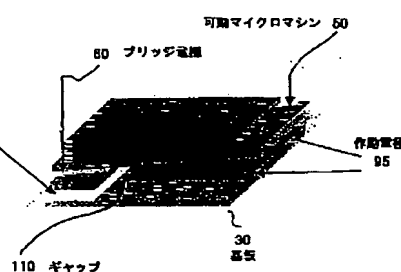
10 混成リレー回路
20 集積回路チップ
30 基板
40 MEMSチップ
50 可動マイクロマシン
60 ブリッジ電極
70 片持ち梁アーム
80 一端
90 基板
95 作動電極
100 接触用電極
110 ギャップ
120 スペース
130 CMOS-MEMS相互接続パッド
140 第3キャリアウェハ
150 最上層

80 一端
90 基板
95 作動電極
100 接触用電極
110 ギャップ
120 スペース
130 CMOS-MEMS相互接続パッド
140 第3キャリアウェハ
150 最上層

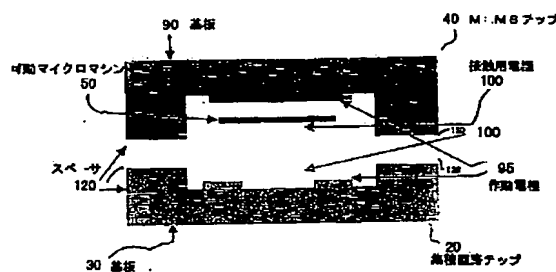
【図1】



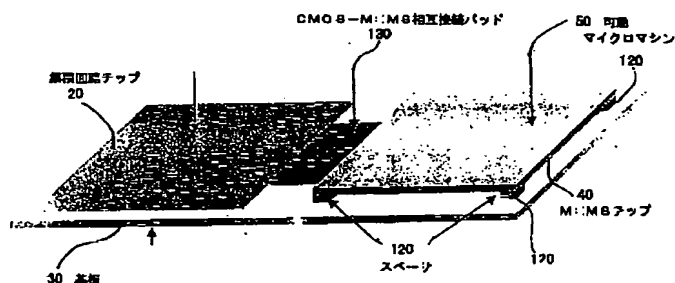
【図2】



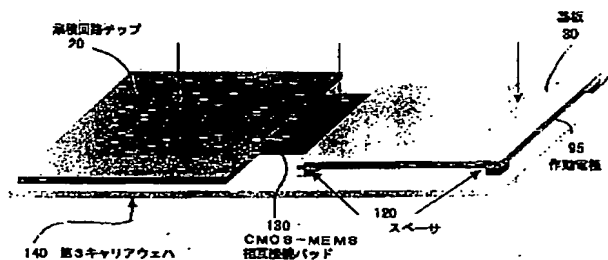
【図3】



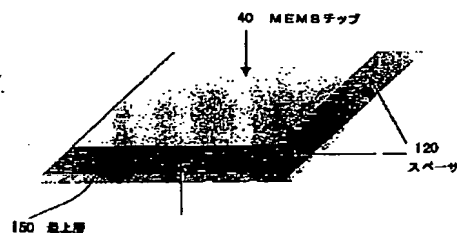
【図4】



【図5】



【図6】



(6) 001-198897 (P2001-198897A)

【手続補正書】

【提出日】平成13年2月21日(2001. 2. 21)

【補正対象項目名】全図

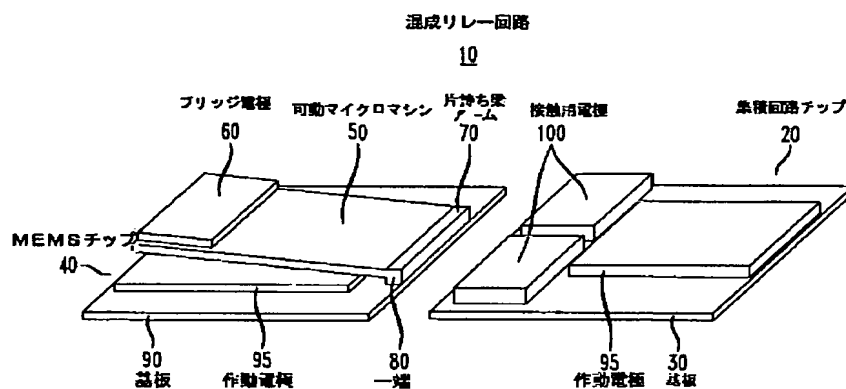
【補正方法】変更

【手続補正1】

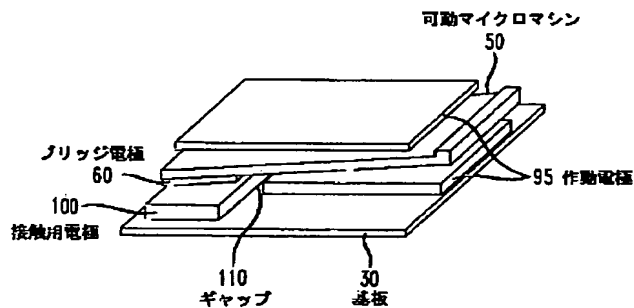
【補正内容】

【補正対象書類名】図面

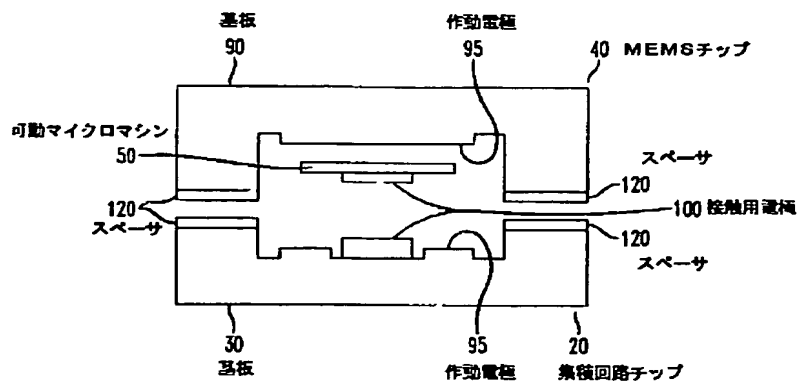
【図1】



【図2】

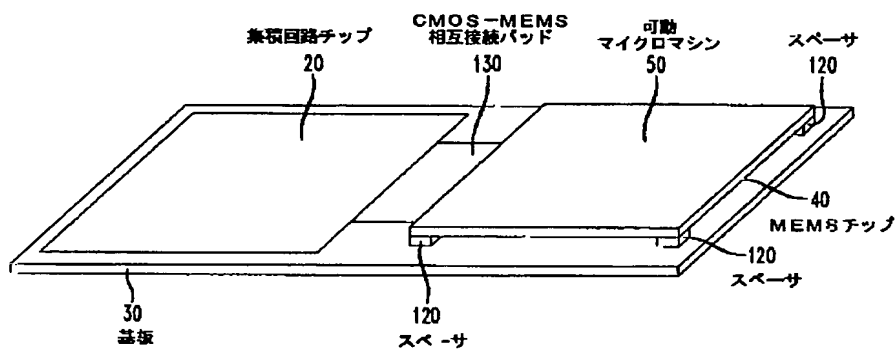


【図3】

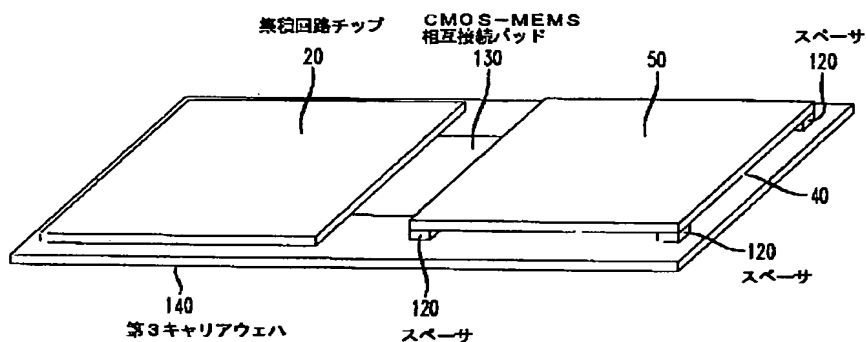


!(7) 001-198897 (P2001-198897A)

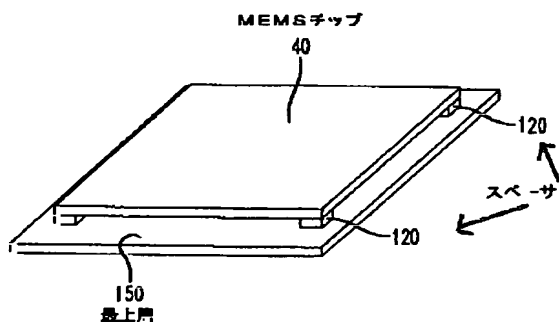
【図4】



【図5】



【図6】



フロントページの続き

(71)出願人 596077259

600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636 U. S. A.

(72)発明者 デビッド ジョン ビショップ

アメリカ合衆国、07901 ニュージャージ
ー、サミット、オーク ノール ロード
7

!(8) 001-198897 (P2001-198897A)

(72)発明者 クリスチャン エー ボル
アメリカ合衆国、07060 ニュージャージ
ー、ノース プレインフィールド、アプト
31, ウエスターベルト アベニュー
114

(72)発明者 ジュンサン キム
アメリカ合衆国、07920 ニュージャージ
ー、バスキング リッジ、モナーク サー
クル 46
(72)発明者 フラビオ バルド
アメリカ合衆国、07974 ニュージャージ
ー、ニュー プロビデンス、コモンウェル
ス アベニュー 44

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.